

## DISEÑO DE UN AMPLIFICADOR RIEL A RIEL CON TECNOLOGÍA CMOS 0,18 $\mu\text{m}$

DIEGO F. HERNÁNDEZ<sup>1</sup>

JUAN F. ANTOLÍNEZ<sup>2</sup>

ELKIN Y. PINEDA<sup>3</sup>

GERMÁN YAMHURE<sup>4</sup>

CARLOS IVÁN PÁEZ<sup>5</sup>

### RESUMEN

En este artículo se realiza el análisis, diseño y simulación de un amplificador rail to rail R-R (riel a riel) a la entrada y a la salida utilizando una fuente sencilla de 3,3 V. La tecnología usada fue CMOS TSMC de 0,18  $\mu\text{m}$ , de bajo costo relativo para uso académico. El proceso de implementación se hizo con herramientas industrial Synopsys. En el artículo se detalla la etapa de entrada R-R complementaria, se describen el circuito sumador y la etapa de salida R-R clase AB. Finalmente, se muestran el layout definitivo y los resultados de la evaluación del diseño.

PALABRAS CLAVE: VLSI; amplificador carril a carril; CMOS; layout.

- 
- 1 Ingeniero Electrónico, Pontificia Universidad Javeriana. Ingeniero de Proyectos, Diebold Colombia S. A. Bogotá, Colombia. hernandezdf@javeriana.edu.co
  - 2 Ingeniero Electrónico, Pontificia Universidad Javeriana. Enterprise Services Sales Specialist, IBM Colombia. Bogotá, Colombia. jantolinez@javeriana.edu.co
  - 3 Ingeniero Electrónico, Pontificia Universidad Javeriana. Field Engineer I, Wireline Field Systems, Cased Hole Baker Hughes Inc. Bogotá, Colombia. epineda@javeriana.edu.co
  - 4 Ingeniero Electrónico y Magíster en Electrónica, Pontificia Universidad Javeriana. Profesor Asociado y Director Grupo de investigación en Telecomunicaciones (SISCOM), Departamento de Electrónica, Pontificia Universidad Javeriana. Bogotá, Colombia. gyamhure@javeriana.edu.co
  - 5 Ingeniero Electrónico, Pontificia Universidad Javeriana; Especialista en Docencia e Investigación Universitaria, Universidad Sergio Arboleda; Magíster en Eléctrica, Universidad de los Andes, Bogotá. Docente e Investigador del Departamento de Electrónica, Pontificia Universidad Javeriana. Bogotá, Colombia. paez.carlos@javeriana.edu.co

## DESIGN OF A RAIL-TO-RAIL AMPLIFIER WITH 0.18 $\mu\text{m}$ TECHNOLOGY

### ABSTRACT

This paper shows the full analysis, design and simulation of a 3.3 V CMOS input/output rail to rail or R-R operational amplifier using the design kit for the Synopsys tools. The technology used was CMOS TSMC 0.18 $\mu\text{m}$  whose cost is low for academic purposes. This paper details the complementary input stage R-R, the summing circuit and the R-R output stage class AB. At last the final layout and the results of simulation are shown.

KEY WORDS: VLSI; rail to rail operational amplifier; CMOS.

## DESENHO DE UM AMPLIFICADOR DO TRILHO-A-TRILHO COM TECNOLOGIA CMOS 0,18 $\mu\text{m}$

### RESUMO

Em este artigo realiza-se a análise, desenho e simulação de um amplificador rail to rail R-R (trilho a trilho) à entrada e à saída utilizando uma fonte singela de 3,3 V. A tecnologia usada foi CMOS TSMC de 0,18  $\mu\text{m}$ , de relativo baixo custo para uso acadêmico. O processo de implementação realizou-se com ferramentas industrial Synopsys. No artigo detalha-se a etapa de entrada R-R complementar, descreve-se o circuito somador e a etapa de saída R-R classe AB. Finalmente, mostra-se o layout definitivo e os resultados da avaliação do desenho.

PALAVRAS-CÓDIGO: VLSI; amplificador operacional trilho a trilho; CMOS.

## 1. INTRODUCCIÓN

El diseño de circuitos analógicos con tecnologías de integración a gran escala (VLSI) requiere la aplicación específica de todos los conceptos de la ingeniería electrónica para poder analizar los complejos fenómenos físicos presentes. Debido a esta particularidad, el diseño de este tipo de hardware ha avanzado de modo considerable gracias a las cada vez más complejas herramientas EDA (electronic design automation) encontradas en la industria y al sofisticado desarrollo de modelos de los dispositivos electrónicos.

Los circuitos integrados (IC) modernos son elementos que emplean fuentes de tensión cada vez menores, debido a su proyección a la portabilidad y al bajo consumo. Por ejemplo, es usual encontrar aplicaciones modernas en donde se utilizan 1,3 V como fuente de tensión. Uno de los mayores retos relacionados con el diseño de este tipo de apli-

caciones es que los amplificadores operacionales deben aprovechar al máximo la fuente para realizar sus funciones de amplificación. Una topología de amplificador orientado a este reto se conoce como amplificador operacional *rail to rail* o *carril a carril*, denotado como Op-Amp R-R (Phang y Gharbiya, 2002), capaz de manipular voltajes muy cercanos a las fuentes de alimentación, llegando a unas decenas de milivoltios de ellas, incrementado la eficiencia y el manejo lineal de la entrada contra la salida.

Existen típicamente tres topologías de Op-Amp R-R, a saber: R-R a la entrada, R-R a la salida y R-R a la salida-entrada. El diagrama en bloques típico de esta última configuración se observa en la figura 1, en donde se distinguen cuatro bloques constitutivos del amplificador, identificados como la etapa de entrada, el circuito de suma, la etapa de salida y, la no menos importante, la etapa de polarización total del sistema.



En este artículo se presentará el funcionamiento, diseño e implementación en el nivel físico (*layout*) de este dispositivo, utilizando tecnología comercial CMOS (Complementary MOS) de  $0,18 \mu\text{m}$  de TSMC (Taiwan Semiconductor Manufacturing Company). Al final se mostrarán pruebas y resultados de la simulación con la plataforma industrial de diseño en VLSI de Synopsys, en particular, con las aplicaciones CosmosSE, Cosmos Guide, HSPICE, Cosmos Scope, ComosLE, Hercules, Star-RCXT (Serrano y Pineda, 2007).

## 2. AMPLIFICADOR OPERACIONAL R-R EN ENTRADA Y SALIDA

### 2.1 Etapa diferencial de entrada R-R

Los amplificadores operacionales a menudo tienen etapas diferenciales de entrada que utilizan

pares diferenciales NMOS o PMOS. Sin embargo, esta escogencia de diseño usualmente no puede cumplir con el rango de voltaje en modo común a la entrada (VCMR) requerido para ser considerado rail to rail. Para resolver este inconveniente, se diseñan dos diferenciales NMOS y PMOS simultáneos. El resultado de esta unión se conoce, según Phang y Gharbiya (2002), como par diferencial complementario y se ilustra en la figura 2.

Si se define  $V_{Dsat}$  como el mínimo voltaje requerido por la fuente de corriente, se tiene que el mínimo voltaje de alimentación de amplificador está dado por

$$V_{DD,min} = 2V_{GS} + 2V_{Dsat} \quad (1)$$

Para un voltaje de entrada en modo común pequeño, cercano a los 0 V, el par diferencial PMOS

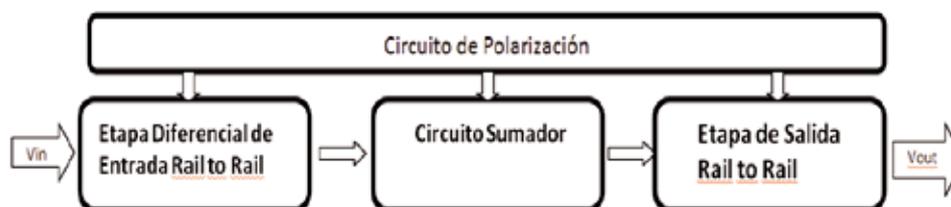


Figura 1. Diagrama de bloques op-amp R-R

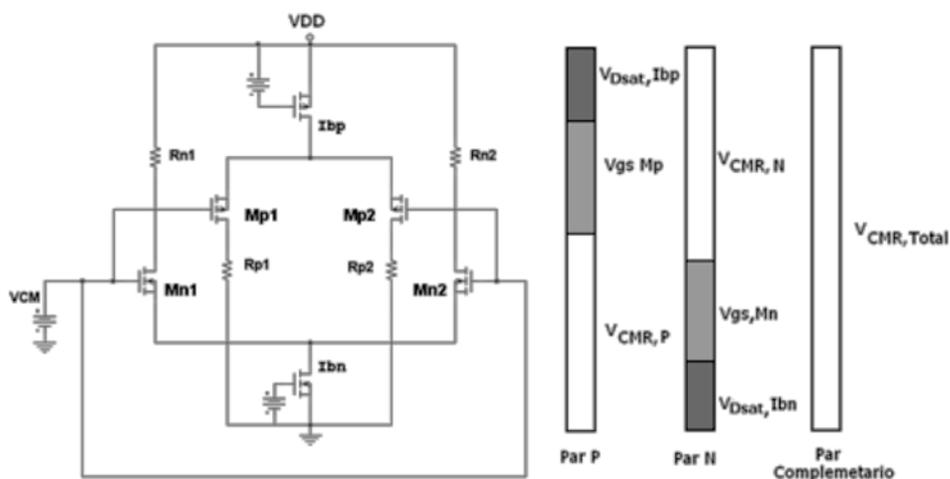
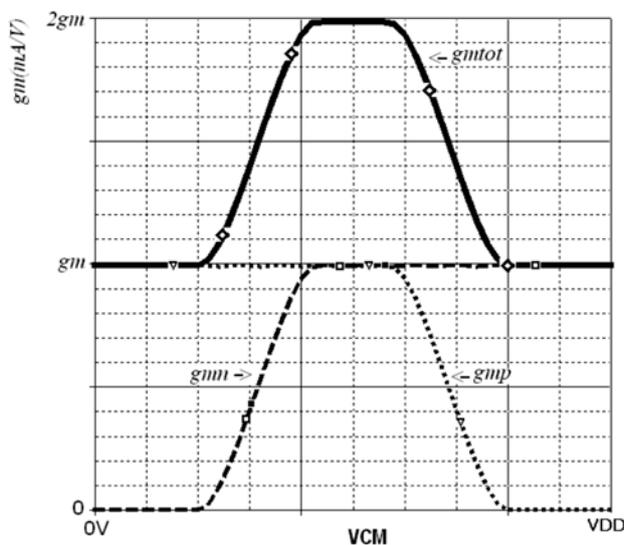


Figura 2. Par diferencial complementario para rango VCM completo

está en saturación de corriente y el NMOS está apagado. Para un voltaje de entrada en modo común alto (cercano a fuente), el par diferencial NMOS está en saturación y el par PMOS está apagado. Por lo tanto, el efecto total del par diferencial complementario es que siempre están operando dentro del rango de VCMR requerido ( $V_{DD}$ -GND). Para un VCMR intermedio, ambos pares diferenciales están en saturación, lo cual tiene un efecto significativo en la transconductancia total del amplificador.

Para la etapa de entrada complementaria, debido a que se sumarán las corrientes de los dos diferenciales, el  $g_m$  total denotado  $g_{mtot}$ , es la suma de las transconductancias de los pares diferenciales NMOS y PMOS por separado. Entonces el  $g_m$  contra el voltaje de entrada modo común del par diferencial complementario es el mostrado en la figura 3, con los pares diferenciales P y N, debidamente dimensionados para obtener una transconductancia igual en cada región de operación.

El valor de  $g_m$  total del par diferencial complementario es casi constante para valores altos y bajos de entrada en modo común. Esto ocurre únicamente



**Figura 3.** Transconductancia  $g_m$  contra voltaje de entrada modo común

cuando uno de los pares diferenciales está en región de saturación de corriente. Para un voltaje en modo común intermedio, ambos pares están encendidos y, por ende,  $g_m$  sería el doble que en las otras dos regiones, aunque debería ser constante. Esto implica que este valor deberá ser controlado con el fin de estabilizar el comportamiento del circuito.

## 2.2 Control del $g_m$ por diodo Zener

Evaluadas diversas opciones para el control del  $g_m$ , se optó por la estrategia de diodo Zener (Danchiv, Bodea y Dan, 2008), ya que permite sólo una variación del  $g_m$  del 17 %. Este método está basado en un circuito CMOS que mantiene constante la suma de voltajes  $V_{CS}$  de los transistores de la etapa de entrada mediante un diodo Zener ubicado entre los transistores del par diferencial complementario de entrada, lo que resulta en una etapa de entrada muy compacta ilustrada en la figura 4.

Los transistores MP5 y MN6 proveen una corriente de polarización de  $8I_0$  a la etapa de entrada. Para un valor de voltaje en modo común  $V_{CMR}$  de  $V_{DD}/2$ , se tiene que los dos pares diferenciales están polarizados con una corriente de *drain* de valor  $I_0$ , teniendo así la misma  $g_m$  para los cuatro transistores ( $g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_m$ ). Los  $6I_0$  restantes de corriente de polarización fluyen a través del diodo Zener. Para un valor  $V_{CMR}$  pequeño, el par diferencial N está apagado ( $g_{m2} = g_{m4} = 0$ ), pero el par diferencial P está operando con una corriente  $4I_0$  (el diodo Zener también está apagado) y entonces  $g_{m3} = g_{m1} = 2g_m$ , dada la relación cuadrática entre la transconductancia y la corriente en (2). Para valores altos de  $V_{CM}$ , el par diferencial P está apagado y el par diferencial N está operando con una corriente de  $4I_0$ . El resultado de la transconductancia total es  $2g_m$ , independiente del  $V_{CM}$  de entrada. Debido a la simetría del circuito se simplifica el análisis circuital de esta etapa.

$$g_{m1,2} = \frac{2I_{D1,2}}{V_{ov1,2}} = \sqrt{2K_{1,2}I_{D1,2}} \quad (2)$$

$$g_{m1,2} = KV_{ov1,2}$$



Los subíndices 1, 2 se refieren a los transistores MP1 y MN2 de la figura 4.

$$K_1 = \mu_p C_{ox} \left( \frac{W}{L} \right)_1 \quad (3)$$

$$K_1 = \mu_n C_{ox} \left( \frac{W}{L} \right)_2 = K_2 = K$$

Los valores de K se hacen iguales con técnicas de “matching” (Cheng *et al.*, 1996) entre los transistores del par diferencial complementario, concluyendo que las dimensiones de los transistores (W/L) son diferentes, debido a las diferencias en la movilidad ( $\mu$ ) de los portadores (electrones y huecos), en donde  $\mu_n > \mu_p$ . La transconductancia total de la etapa de entrada es:

$$g_{m,tot} = g_{m1} + g_{m2} = K(V_{ov1} + V_{ov2}) \quad (4)$$

Para obtener un  $g_m$  constante, los voltajes de “overdrive”  $V_{ov} = (V_{gs} - V_{th})$  de los pares diferenciales deben sumar una constante. Con este objetivo, se plantea el circuito de la figura 5 para el equivalente del diodo Zener diseñado con tecnología CMOS.

Puesto que los voltajes *drain-gate* son cero, se garantiza que los MOSFET activos operarán en región de saturación de corriente. Así, para un voltaje Zener mayor que la suma de los voltajes de umbral  $V_Z > V_{m22} + |V_{tp21}|$ , los dos transistores operan en saturación y la corriente del Zener será (5). Para  $V_Z < V_{m22} + |V_{tp21}|$  ambos transistores estarán apagados y, por ende,  $I_z = 0$ .

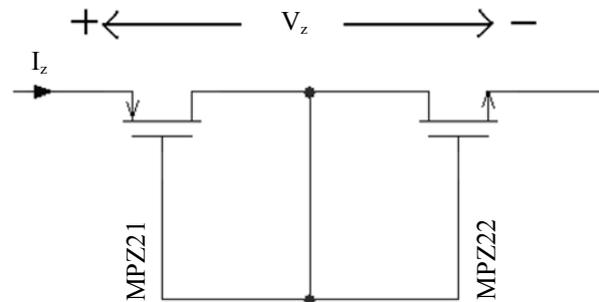


Figura 5. Diodo Zener mediante dos transistores

$$I_z = \frac{1}{2} K_z \left( \frac{V_Z - V_{m22} - |V_{tp21}|}{2} \right)^2 \quad (5)$$

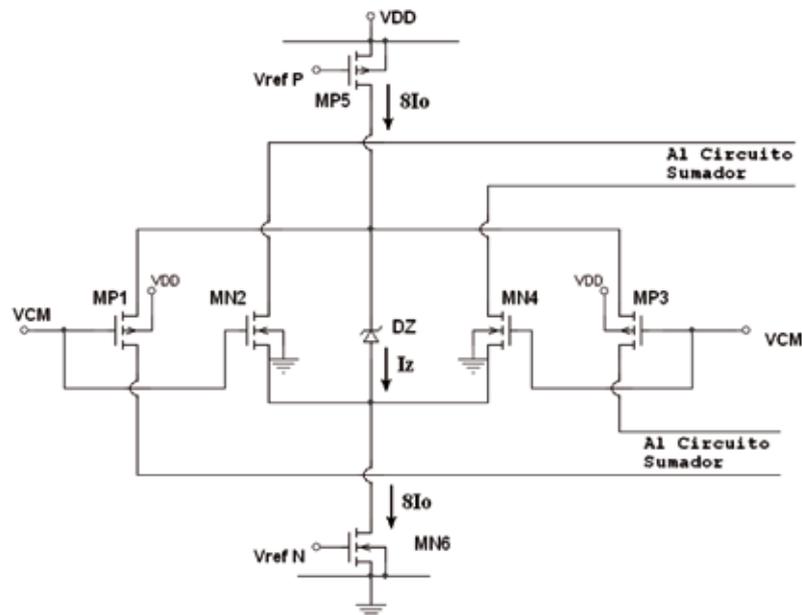


Figura 4. Par diferencial con diodo Zener (Danchiv, Bodea y Dan, 2008)

Es de notar que los voltajes de *overdrive*  $V_{ov}$  de los transistores MPZ21 y MNZ22 son iguales a los  $V_{ov}$  de los transistores de los pares diferenciales. Se diseña para que con una corriente del diodo Zener  $6I_o$ , ambos pares estén saturados con una corriente  $I_o$ . Por tanto, para el dimensionamiento del Zener se tiene (6) y su voltaje estará dado por (7).

$$K_Z = 6K \tag{6}$$

$$V_Z = V_{SG1} + V_{GS2} \tag{7}$$

Al aplicar al nuevo circuito diferencial una señal triangular que varía de riel a riel, se obtienen las gráficas de la figura 6, la cual muestra la variación del  $g_m$  de cada par diferencial y de la suma. Un análisis detallado de la etapa de entrada *rail to rail* se encuentra en Huijsing (2001).

### 2.3 Circuito sumador

El componente relacionado con el circuito sumador transforma las corrientes de la etapa de entrada R-R complementaria en una salida simple y simétrica de corriente. La figura 7 muestra el circuito sumador típico planteado en Hogervorst *et al.* (1994) y Hogervorst, Tero y Huijsing (1996),

para entradas diferenciales R-R como la diseñada en la sección 2.1.

En este circuito los transistores PMOS M7 y M8 proveen una corriente de polarización ( $I_b$ ) y los transistores NMOS M11 y M12 generan otra corriente de polarización  $I_s$ . Si la corriente  $I_{dn} = I_{np} - I_{nm}$  es la corriente de salida del par diferencial N y  $I_{dp} = I_{pp} - I_{pm}$  es la corriente de salida del par diferencial P, se tiene entonces que las relaciones de corrientes es (8) y la corriente de salida es (9).

$$I_s = I_b + I_{nm} + I_{pm} \tag{8}$$

$$I_s = I_b + I_{np} - I_{out} + I_{pp}$$

De la ecuación anterior, la corriente a la salida es (9).

$$I_{out} = (I_{np} - I_{nm}) + (I_{pp} - I_{pm}) \tag{9}$$

$$I_{out} = I_{dn} + I_{dp}$$

Las corrientes de polarización ( $I_b$  e  $I_s$ ) deben asegurar que todos los transistores no operan en región lineal (resistiva). Esto se logra calculando

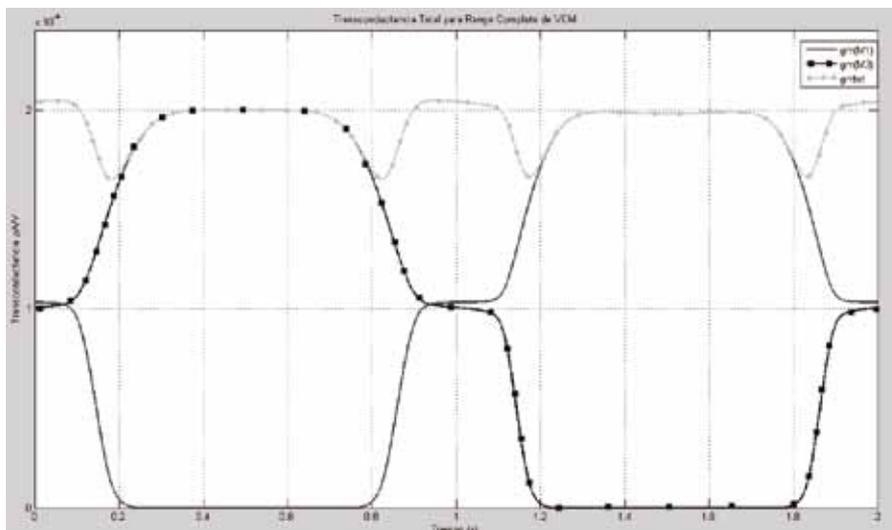
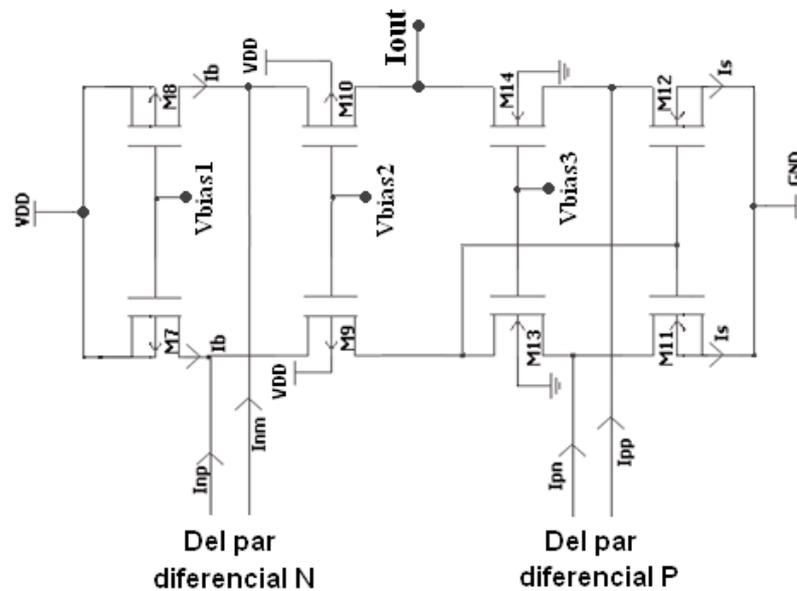


Figura 6. Transconductancia de entrada ( $g_{m(M1)}$ ,  $g_{m(M3)}$  y  $g_{m,tot}$ ) con eje vertical en  $\mu A/V$



**Figura 7.** Circuito sumador para la etapa de entrada R-R

la relación W/L de los transistores M7, M8, M11 y M12 y el voltaje Vb3. Las corrientes de salida del par complementario R-R se muestran en (10). Los subíndices D2 y D4 se refieren a las corrientes de salida de los transistores NMOS 1 y 4 de la etapa diferencial de entrada. Por su parte D1 y D3 representan las corrientes de salida de los transistores PMOS 2 y 3.

$$\begin{aligned} I_{np} &= -I_{D2} & I_{pp} &= I_{D1} \\ I_{nm} &= -I_{D4} & I_{pm} &= I_{D3} \end{aligned} \quad (10)$$

El Op-Amp R-R hasta el circuito sumador sin carga tiene una ganancia en voltaje dada por la transconductancia total multiplicada por la resistencia de salida del circuito sumador denotada por  $A1 = g_{m, tot} R_{out1}$ . La resistencia total de salida del circuito sumador está dada por la resistencia de salida de los transistores de la etapa cascode M8-M10 y M12-M14, según (11).

$$R_{out1} = R_{on} \parallel R_{op} \quad (11)$$

Similarmente para la pareja de transistores tipo N, M12 y M14. En la configuración cascode la impedancia de salida está dada por (12), donde  $r_o$  depende de la modulación del canal  $\lambda$  (ecuación 13) y, por tanto, depende del L diseñado.

$$R_{on} \approx g_{m14} r_{o12} r_{o14} \quad (12)$$

$$R_{op} \approx g_{m10} r_{o8} r_{o10} \quad (13)$$

$$r_o = \frac{1}{\lambda I_D}$$

Con el objeto de aumentar  $r_o$ , disminuyendo así la modulación del canal, se eligieron valores de varias veces L mínimo. Para el caso  $L=2 \mu\text{m}$  para todos los transistores NMOS y PMOS del circuito sumador, lo que además mantiene constante el coeficiente de modulación de canal  $\lambda$ . De esta forma los transistores M9 y M10 son iguales entre ellos y 7,2 veces más grandes que M7 y M8. Los transistores M11 y M12 son iguales y son 1,2 veces mayores que M13 y M14. Con base en los criterios de Hogervorst, Tero y Huijsing (1996) aplicados a la tecnología CMOS de  $0,18 \mu\text{m}$ , se determinaron las





efectos de los resultados detallados de la simulación post-layout, estos fueron incluidos como parámetros concentrados en el archivo “netlist” del simulador y

calculados para tener un margen de fase de  $45^\circ$ . Las dimensiones finales están detalladas en las tablas 1 y 2, donde M es el número de dedos de los transistores.

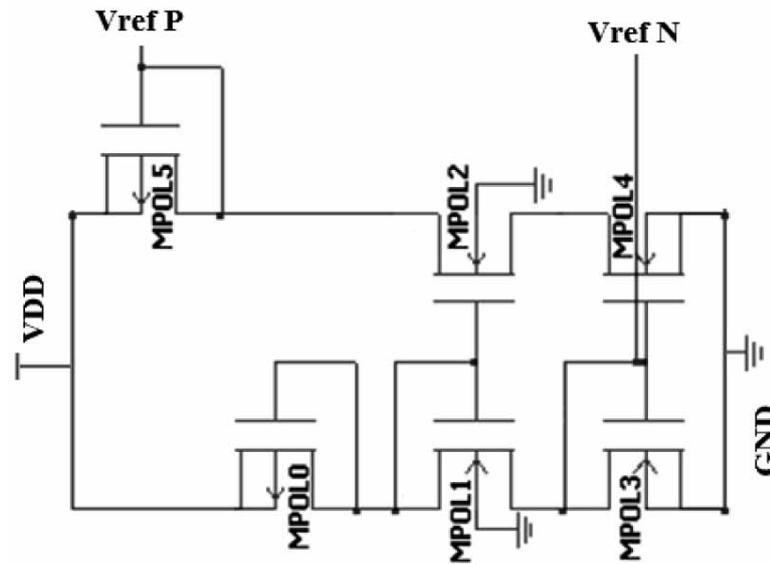


Figura 9. Generación de los voltajes de referencia positivo y negativo

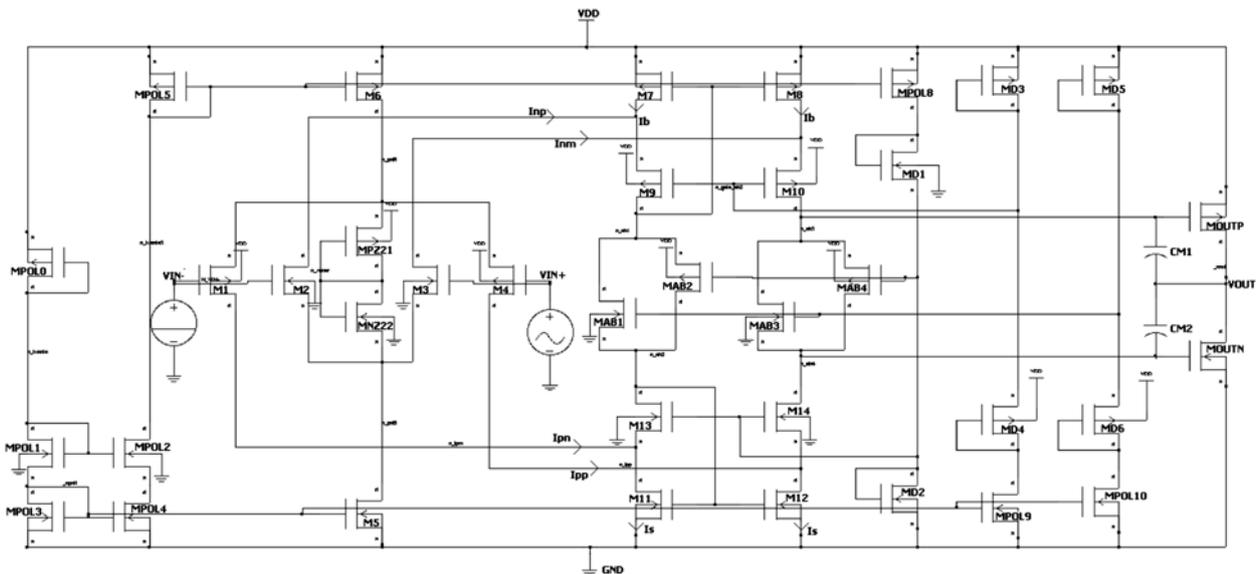


Figura 10. Esquema completo del amplificador R-R a la entrada y la salida

**Tabla 1.** Tamaños de transistores NM

Transistores NMOS	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	M
M2 y M3	4,5	1,4	1
MNZ22	5	1,4	4
M13 y M14	10	2	2
M11 y M12	12	2	2
M5	30	2	4
MPOL1, MPOL2, MPOL3 MPOL4, MPOL9, MPOL10	30	2	4
MD1, MD2	15	2	1
MOUTN	10	2	4
MAB1	10	2	2
MAB3	6	2	2

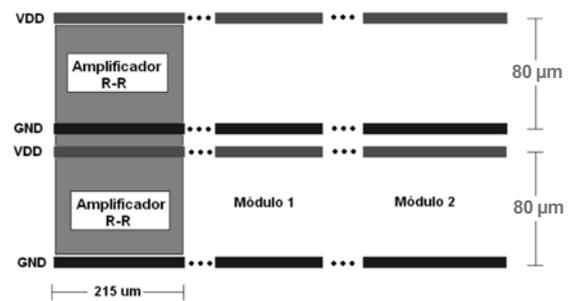
**Tabla 2.** Tamaños de transistores PMOS

Transistores PMOS	W ( $\mu\text{m}$ )	L( $\mu\text{m}$ )	M
M1, M4	25,5	1,4	1
MPZ21	22	1,4	10
M7, M8	9	2	2
M9, M10	13	2	10
MPOL0	8	2	4
MPOL5, MPOL6, MPOL8	30	2	4
MD3	15,5	1,4	1
MD4,MD5,MD6	25	1,4	1
MAB2	12,5	2	2
MAB4	8	2	1
MOUTP	30	2	4

### 3. CELDA O CIRCUITO INTEGRADO R-R

#### 3.1 Diseño del layout

El amplificador diseñado permite ser empleado en diseños más complejos, bien sea solo analógicos o de señal mixta, donde se interconectará con otros módulos de forma física (geometría) por medio del layout. Por esta razón, se definió un “pitch” o distancia entre los metales de los rieles de  $80 \mu\text{m}$ , para facilitar la interconexión, la distribución de fuente y tierra (figura 11).

**Figura 11.** Pitch de fuente y tierra

Para el diseño de este layout sólo se requirió una longitud de  $215 \mu\text{m}$ , ya que se diseñó el amplificador con dos unidades de medida. Se definió un área igual para los dispositivos NMOS y PMOS los cuales ocupan un pitch de metal cada uno. No obstante, dado que los transistores NMOS resultan más pequeños que los PMOS, por la movilidad de los portadores, se aprovecha el área disponible para poner condensadores de desacople de fuentes llamados DCAP implementados con transistores NMOS (Yamhure *et al.*, 2007), que ayudan a mejorar el factor de rechazo a fuentes.

La figura 12 detalla el “floorplan” del layout para el amplificador diseñado, donde en su parte inferior se muestra un código de colores que representa las diferentes partes del amplificador hasta ahora descritas.

Cabe anotar que, como parte de las convenciones generales de diseño de los diferentes módulos, para VDD se utiliza la capa de metal 2, y para GND, la capa de metal 1. A excepción del pitch de metal de fuente y de tierra, dentro de cada pitch se usa metal 1, y metal 2 en cualquier dirección para interconexiones. Cuando se requiere hacer interconexiones entre pitches se utiliza metal 3 en dirección vertical. Se reservan las demás capas de metal para interconexión con otras celdas o módulos cuando se use este amplificador como parte de un IC.

Con el objeto de minimizar las variaciones entre los diferentes MOSFET durante el proceso de fabricación, se agregaron transistores inoperantes

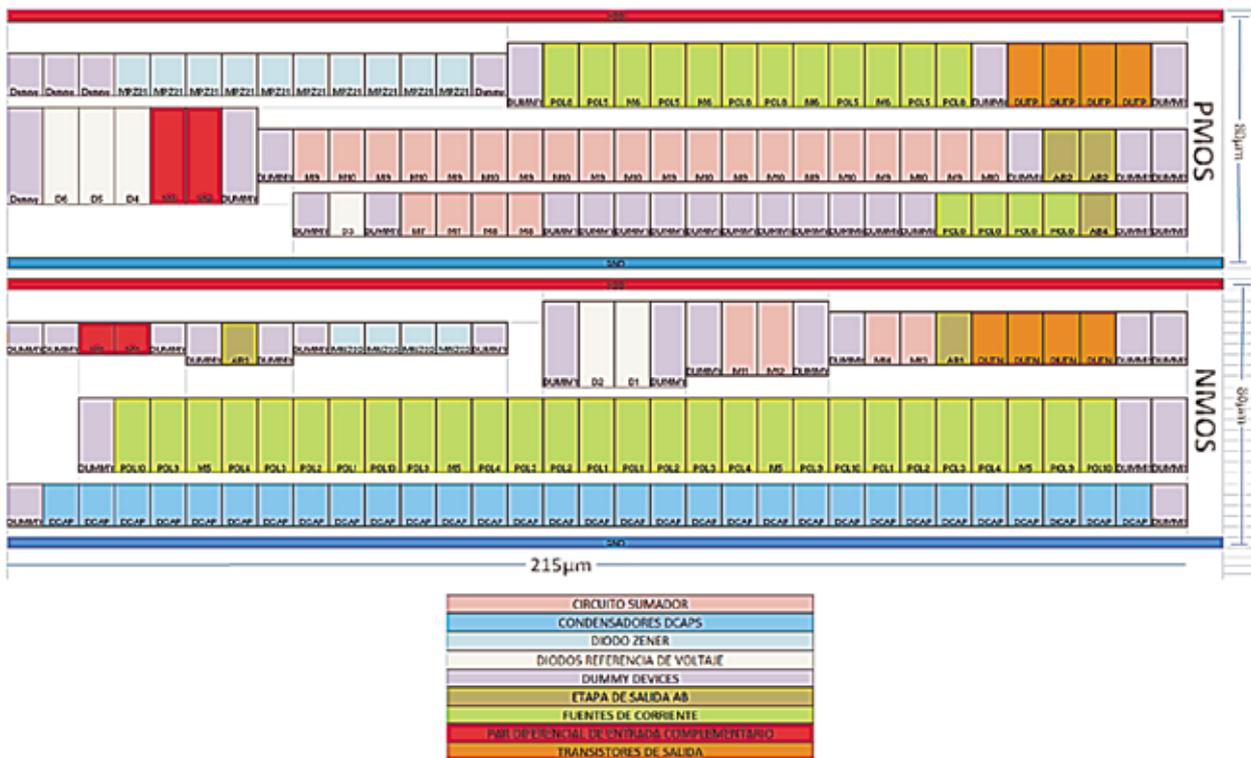


Figura 12. Floorplan del layout

o dummy devices (Yamhure *et al.*, 2007), los cuales ayudan a que los transistores tengan siempre “vecinos iguales” y, por tanto, mantengan la simetría. En las áreas donde no hay transistores se cubren los espacios también con transistores inoperantes para mantener constante la densidad de transistores.

### 3.2 DRC (design rule checking) y LVS (layout versus schematics)

Dentro del flujo de diseño hay dos pruebas importantes preliminares a la evaluación y fabricación del circuito para verificar que se cumplan las reglas de diseño para layout dadas por el fabricante DRC. Estas reglas incluyen el chequeo de las dimensiones o distancias mínimas que puede resolver el proceso de fotolitografía y fabricación. Más tarde, se debe verificar que el layout construido corresponda al esquemático diseñado. Esta actividad evalúa los errores producidos por el diseñador en el momento de dibujar e interconectar los dispositivos en el nivel de layout. Estas

fases del diseño se realizaron con la herramienta de Synopsys denominada Hercules sin fallas reportadas.

### 3.3 Extracción de parásitos

La extracción de componentes parásitos fue ejecutada con Star-RCXT y se obtuvo un modelo de condensadores y resistencias parásitos que se incluirán en la simulación post-layout. Es importante detallar que aquí no es relevante la cantidad de elementos parásitos extraídos, sino su magnitud. Los resultados obtenidos de la simulación del esquemático y de layout se encuentran en la tabla 3, deduciéndose que los resultados de la simulación post-layout son muy similares a los obtenidos en la etapa de circuito esquemático. La influencia de los componentes parásitos es menor del 1 %, gracias a las consideraciones de diseño utilizadas, como la proximidad entre los transistores, el uso de las técnicas de “fingering” para compartir difusiones y el cuidadoso cableado de las interconexiones.

**Tabla 3.** Resultados obtenidos para el OP-AMP R-R

Parámetro de diseño	Resultado layout	Resultado esquemático	Unidad
Fuente de alimentación	3,3 sencilla	3,3 sencilla	V
Potencia polarización	1,7947	1,85	mW
Slew rate	7,76	7,75	v/ $\mu$ s
GBW*	18,1	18,2	MHz
Corriente bias	80	80	$\mu$ A
Variación gm etapa entrada	<18	<18	%
Ganancia modo diferencial sin carga	139,6	140	dB
Ganancia modo común lazo abierto sin carga	12,9	12,9	dB
CMRR	117,4	127	dB
Margen de fase lazo abierto	43,2	42,3	grados
Impedancia de salida realimentada	520	535	$\Omega$
Manejo a la entrada	0-3,3	0-3,3	V
Manejo a la salida en malla abierta	150 m a 3,15 V	150 m a 3,15 V	V
Área del circuito	0,0344	N/A	mm <sup>2</sup>

\*Limitado por C1 y C2

#### 4. EVALUACIÓN DEL CIRCUITO INTEGRADO

A continuación se muestran la descripción y resultados de varias pruebas encaminadas a determinar el comportamiento del amplificador en algunas condiciones de operación y a variaciones en el proceso de fabricación por medio de la simulación.

##### 4.1 Variaciones con la temperatura

Debido a que la movilidad de los portadores y, en consecuencia, la transconductancia de los transistores depende de la temperatura, se realizó un análisis paramétrico del manejo del amplificador variando este parámetro desde 0 °C hasta 150 °C. Para este análisis se realimentó el amplificador para obtener una ganancia de 11 V/V y se ajustó la entrada a 0,3 V, de tal manera que la salida estuviese de riel a riel.

En la figura 13 se muestran los resultados de las cinco señales de salida a diferentes temperaturas, donde todas quedan superpuestas con una amplitud pico a pico de 3,29 V a solo 10 mV por debajo de la fuente y sin distorsión apreciable.

##### 4.2 Pruebas SS, SF, FS, FF

Algunos kits de diseño especiales incluyen la variabilidad del proceso, por ejemplo, la variación de  $V_{tn}$ ,  $V_{tp}$ ,  $C_{ox}$ , y otro conjunto de parámetros relevantes en el diseño analógico, los cuales permiten simulaciones Monte Carlo para determinar los peores casos en el proceso de fabricación. Aunque el kit de diseño utilizado no contenía dicha opción, sí permitía usar los modelos típicos (T) con los que se diseña, los rápidos (F) y los lentos (S), tanto de los transistores P como los N en conjunto. Dada la simetría en este diseño de los circuitos PMOS y NMOS, hacer la simulación en las “cuatro esquinas”

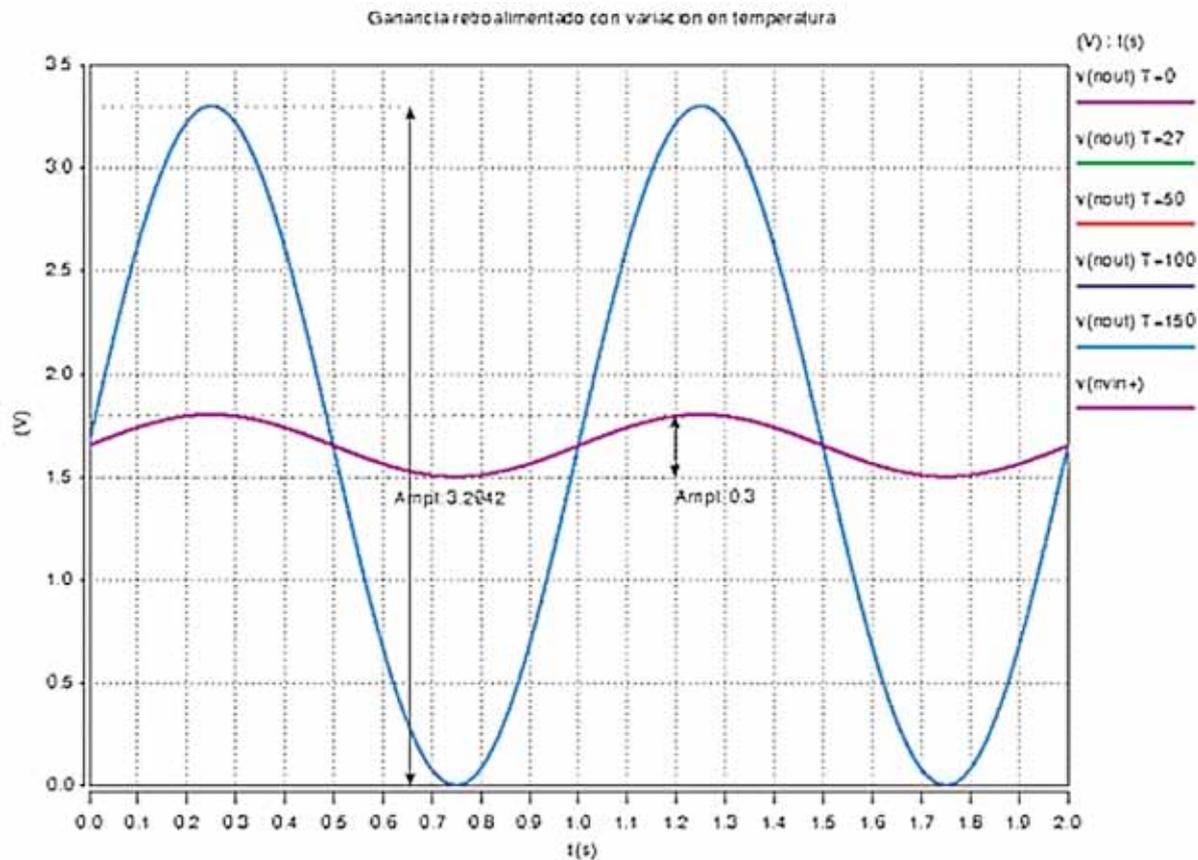


Figura 13. Manejo a la salida simulación post-layout

aporta información valiosa de los cambios relativos del circuito y del desempeño del amplificador ante las variaciones del proceso de fabricación. Esta prueba consiste en simular el circuito con todos los transistores P y todos los N en sus valores extremos de velocidad con los modelos que da el fabricante. En un caso se simulan los transistores N y P en su versión más lenta (SS), en otro caso se simula con los transistores P lentos y los N rápidos (SF) y de manera similar para las otras combinaciones FS y FF. La fi-

gura 14 muestra la respuesta en frecuencia en malla abierta de magnitud (BW) y el margen de fase (MF) del amplificador compensado, que muestra para TT un valor de 1,46 MHz y 51,96 grados, para FF de 2,35 MHz y 48,78 grados, para FS de 1,65 MHz y 50,19 grados, para SF de 0,99768 MHz y 63,30 grados y SS de 0,73 MHz y 57,29 grados, respectivamente. Como era de esperarse, el mayor ancho de banda se obtiene cuando los dos tipos de transistores son rápidos y el menor, cuando son lentos.

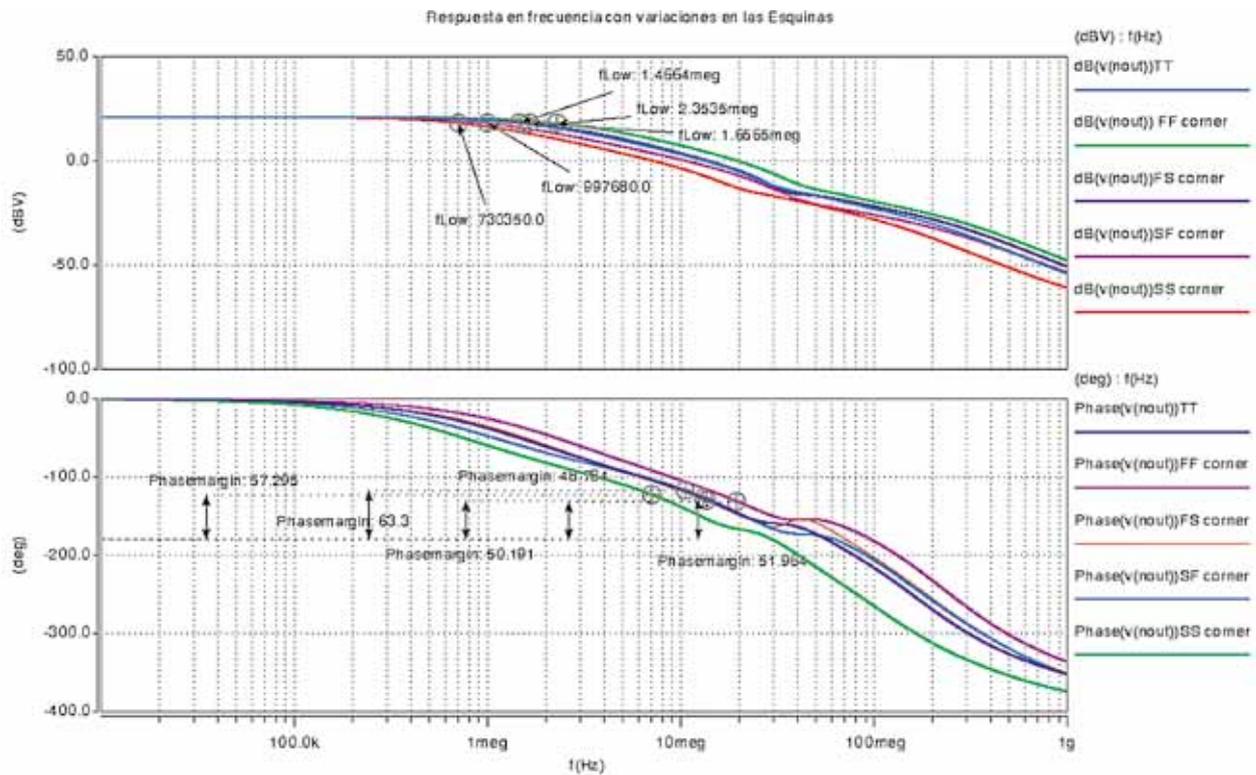


Figura 14. Respuesta en frecuencia con variaciones en las cuatro esquinas

## 5. RESULTADOS FINALES

Los resultados finales del amplificador R-R diseñado demuestran que opera con una fuente de tensión de 3,3 V, con una potencia de polarización de 1,7947 mW, un *slew rate* de 7,76 V/ $\mu$ s, una ganancia por ancho de banda (GBW) de 18,1 MHz, una corriente de polarización de 80  $\mu$ A, una ganancia en modo diferencial sin carga de 139,6 dB, un rechazo en modo común (CMRR) de 117,4 dB, un margen de fase en lazo abierto de 43,2° (con compensación externa), un manejo a la entrada 0-3,3 V y un manejo a la salida en malla abierta de 0,150-3,15 V, medidas de desempeño comparables, al menos en simulación, con otros tipos de circuitos integrados ofrecidas en el mercado como Linear Technology LT1677, Microchip MCP6281 y Burr-Brown OPA342.

## 6. CONCLUSIONES

El amplificador R-R diseñado y la evaluación exhaustiva de sus medidas de desempeño muestra que su desempeño es equivalente a varias tecnologías encontradas en el mercado electrónico. El flujo de diseño seguido en este proyecto y los resultados obtenidos muestran la capacidad de diseño profesional de circuitos integrados en Colombia.

Con esta exitosa experiencia se evidencia que la ingeniería colombiana, dotada de las herramientas de diseño apropiadas, puede lograr un “centro de diseño electrónico” que le permitiría al país disminuir la brecha tecnológica con países como la India u otros asiáticos. Debe considerarse de forma seria que no es requisito para diseñar componentes electrónicos contar localmente con una fábrica de



dispositivos electrónicos, debido a que este servicio en la actualidad está distribuido en diversas partes del mundo y es asequible a precios razonables para propósitos académicos.

Con esta experiencia y metodología, es el interés del grupo de investigación en telecomunicaciones SISCOM fomentar el diseño de sistemas más complejos orientados a aplicaciones y sistemas electrónicos en radiofrecuencia (RF).

## AGRADECIMIENTOS

Los autores agradecen a la Pontificia Universidad Javeriana y a su Departamento de Electrónica, por facilitar los recursos necesarios de software y personal para llevar a cabo la presente investigación. Se agradece también a la compañía Intel la donación de los servidores de alto desempeño donde se ejecutaron las herramientas profesionales y a la empresa Synopsys Inc. por facilitar tarifas preferenciales para el uso académico de su software.

## REFERENCIAS

- Cheng, Yuhua; Chan, Mansun; Hui, Kelvin; Jeng, Min-chie; Liu, Zhihong; Huang, Jianhui; Chen, Kai; Chen, James; Tu, Robert; Ko, Ping K. and Hu, Chenming (1996). *BSIMv3 Manual*. Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, CA.
- Danchiv, Andrei; Bodea, Mircea y Dan, Claudiu (2008). "Total transconductance optimization for a rail to rail amplifier", 11th International Conference on Optimization of Electrical and Electronic Equipment. Brasov, Romania (22-24 May), pp. 25-31.
- Hogervorst, Ron; Tero, John P.; Eschauzier, Ruud G. H. and Huijsing, Johan H. (1994). "A compact power-efficient 3V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries". *IEEE Journal of Solid-State Circuits*, vol. 29, No. 12 (December), pp. 1505-1513.
- Hogervorst, Ron; Tero, John P. and Huijsing, Johan H. (1996). "Compact CMOS constant-gm rail-to-rail input stages with gm-control by an electronic zener diode". *IEEE Journal of Solid-State Circuits*, vol. 31, No. 7 (July), pp. 1035-1040.
- Huijsing, Johan H. (2001). *Operational amplifiers. Theory and design*. Dordrecht: Kluwer Academic Publishers. 456 p.
- Phang, Khoman and Gharbiya, Ahmed (2002). "Operational amplifiers rail to rail input stages using complementary differential pairs". University of Toronto, Canada.
- Sedra, Adel S. y Smith, Kenneth C. *Circuitos microelectrónicos*. 5ª ed. México DF: McGraw-Hill, 2006. 1392 p.
- Serrano, Diego E. y Pineda, Camilo J. (2007). Guía para el diseño de circuitos en VLSI mediante el uso de herramientas de la compañía Synopsys. Trabajo de grado (Ingeniería Electrónica), Pontificia Universidad Javeriana. Bogotá, Colombia.
- Yamhure, Germán; Camacho, Daniel; Garcia, Jorge y Velez, Camilo (2007). *Recomendaciones para la implementación del layout de circuitos monolíticos de señal mixta*. IEEE Colombian Workshop on Circuits and Systems (CWCAS07), Bogotá, Colombia (31 octubre - 2 noviembre, 2007).